



赋能RISC-V 思尔芯数字EDA加速芯片开发

陈英仁 副总裁

RISC-V为设计带来更多可能性

RISC-V与IoT市场完美匹配

- IoT市场特点是高度碎片化，并且有强烈的对定制化的需求
- RISC-V开源、模块化、可扩展性，且在高性能计算方面表现优异



异构系统需求与RISC-V特性匹配推进其发展

- IoT对AI芯片寻求高算力与低延迟，RISC-V可满足
- IoT芯片需快速设计，低成本，且量身定制
- IoT市场多样化，选择RISC-V架构为明智之举

中国市场对RISC-V的热切需求

- 本土芯片产业需求平衡，RISC-V能填补处理器IP的短板
- 无旧指令集束缚，快速接受新技术
- 需要领域特定处理器，RISC-V提供解决方案

RISC-V为设计带来的挑战

标准细节定义

- 低成本的授权和厂商自定义指令可能威胁标准的延续性，影响软件和编译器生态的稳固性

碎片化 & 稳定性

- 在服务器和手机的定义中存在许多难点，这需要一个长期的发展过程来解决

EDA支持

- RISC-V规范性尚待完善，或需大调RTL设计适配或开发新IP
- 需要漫长演进以及牺牲晶圆面积代价



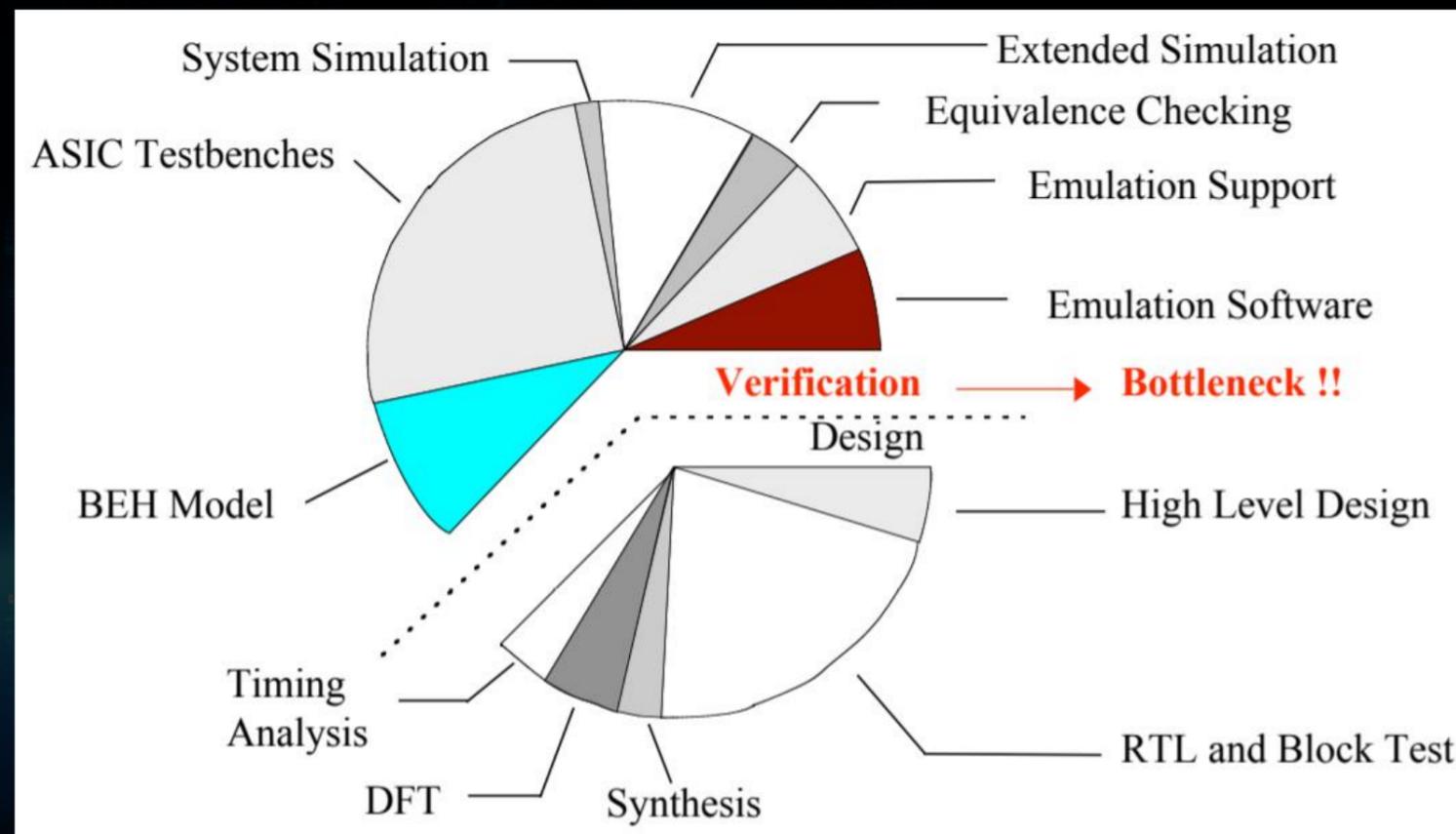
芯片验证的压力

芯片设计成本日益高涨

- 芯片规模不断变大 (~百亿逻辑门)
- 软件内容持续增多 (多核, 异构核)
- 系统测试复杂费时 (覆盖率 & 软件)

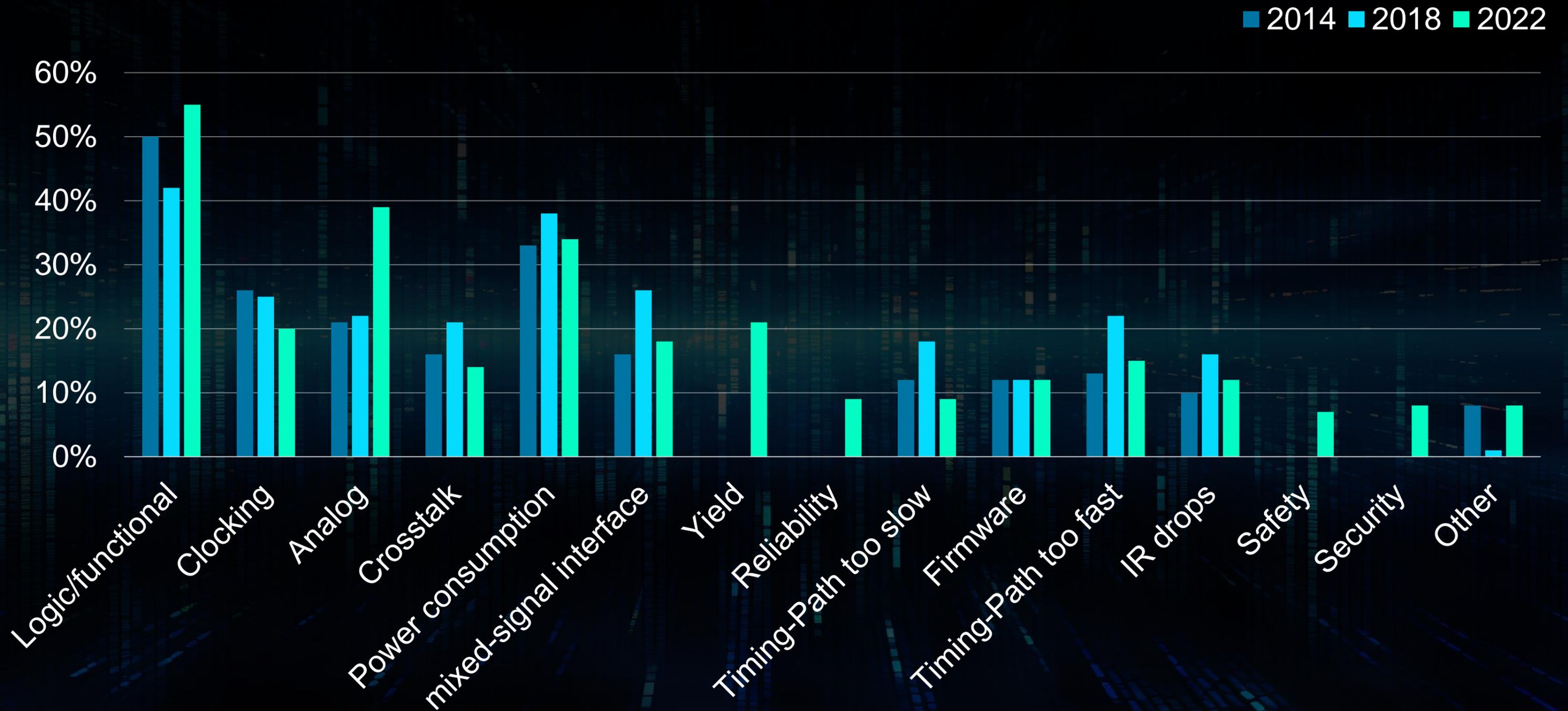
系统级芯片验证极其复杂

- 逻辑设计错误是导致流片失败的第一因素
- 验证和仿真约占7成左右的研发时间
- 确保设计正确芯片 & 确保芯片设计正确

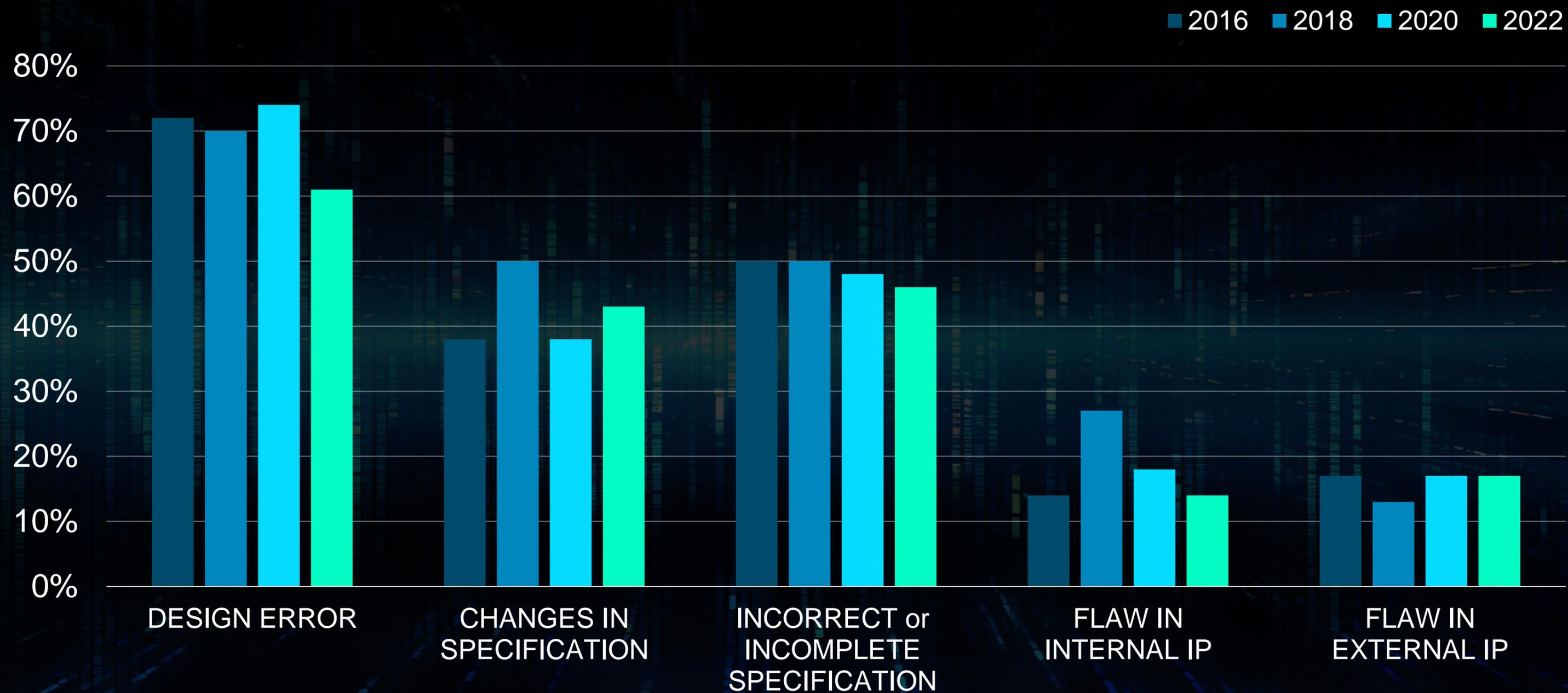


功能验证和提高验证效率非常重要!

流片失败的主要因素



流片失败的主要因素



精准芯策略面对新技术浪潮

左移周期

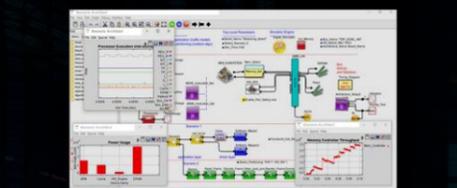
精准芯策略

Precision Chip Strategy, PCS

异构验证

确保设计正确芯片，确保芯片设计正确
Design the Right Chip, Design the Chip Right

异构验证方法



芯神匠架构设计

Architecture Exploration

Early RTL Verification



芯神驰软件仿真



芯神觉数字调试

HW Debug



芯神鼎硬件仿真



芯神瞳原型验证

RTL Regression

异构验证平台

System Validation

90+外置应用库/
降速桥/VIP

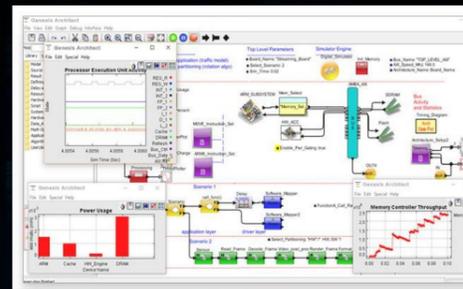


芯神云 EDA云



芯天成形式验证

并行驱动，左移周期方法



芯神匠架构设计

Co-Modeling



芯神瞳原型验证

Early SW
Development

Compliance &
Certification

Customer
Engagement

验证工具对比



对RISC-V的前瞻性布局 and 全方位解决方案

芯神匠 架构设计 Genesis Architect

RISC-V微架构分析&优化系统&应用性能分析

- 虚拟化应用场景
- 快速IP建模

芯神鼎 硬件仿真 OmniArk

RISC-V系统整合&验证规范符合性测试

- 可扩展逻辑容量
- 支持ICE/SBA/TBA

芯神瞳 原型验证 Prodigy

RISC-V评估架构配置/软件性能分析

- 多机种 + 多核分割
- 丰富的外置应用库

芯神匠架构设计软件



一站式平台完成架构设计，设计验证，最大化模型复用率



多抽象层次建模仿真，进行 IP、SoC、系统效能与功耗优化

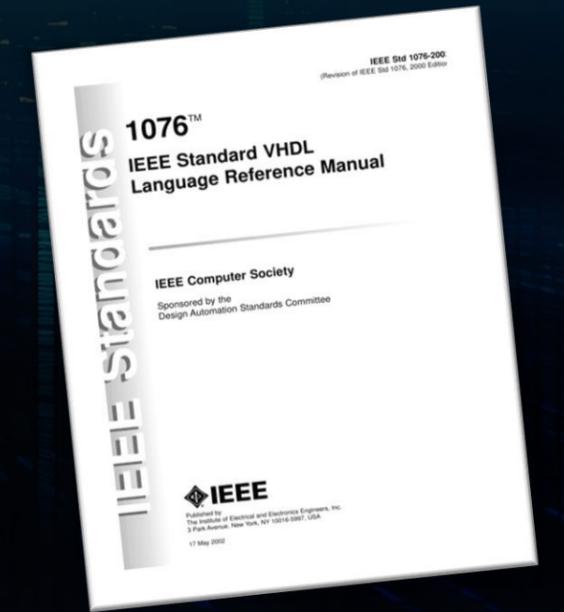
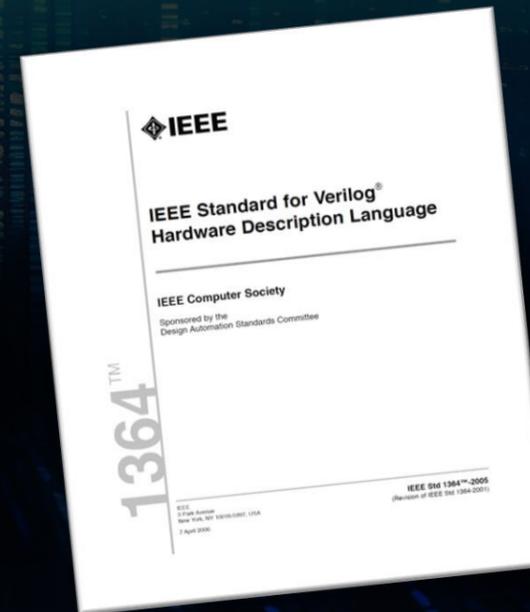
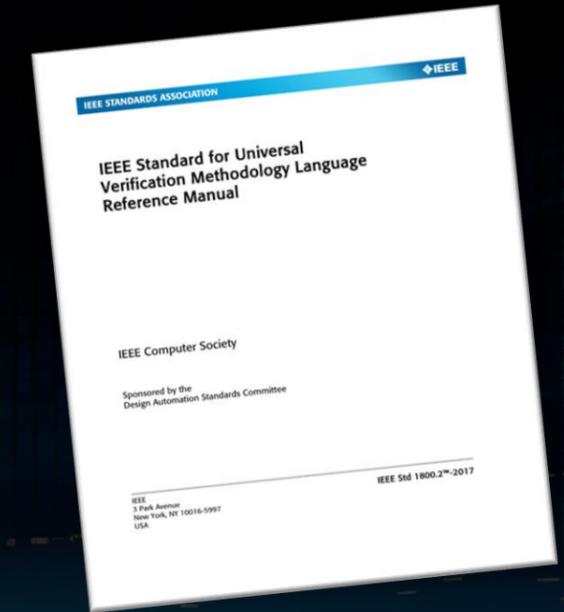


可搭配芯神鼎、芯神瞳等EDA工具，利用既有 IP 快速精准的建模仿真



芯神驰软件仿真工具

- 支持多种设计与验证语言：IEEE1800-2017 SystemVerilog，IEEE1364 Verilog和IEEE1076-1993 VHDL
- SVA断言、约束求解器、代码与功能覆盖率分析
- 支持UVM, VMM, OVM方法学（IEEE 1800.2）
- 支持DPI & VPI混合仿真
- 支持时序反标（SDF和Timing Check）
- 支持设计增量编译和并行编译
- 支持多种处理器架构，如X86, ARM，RISC-V
- VCD和自研波形格式，灵活支持多种调试手段



芯神鼎硬件仿真系统

可扩展大容量

设计容量2.5-10亿门

快速自动编译流程

全自动流程，用户“零”干预

MHz级仿真加速

最大运行频率可达2MHz

强大调试能力

灵活探针，信号全可视等

多种仿真验证模式

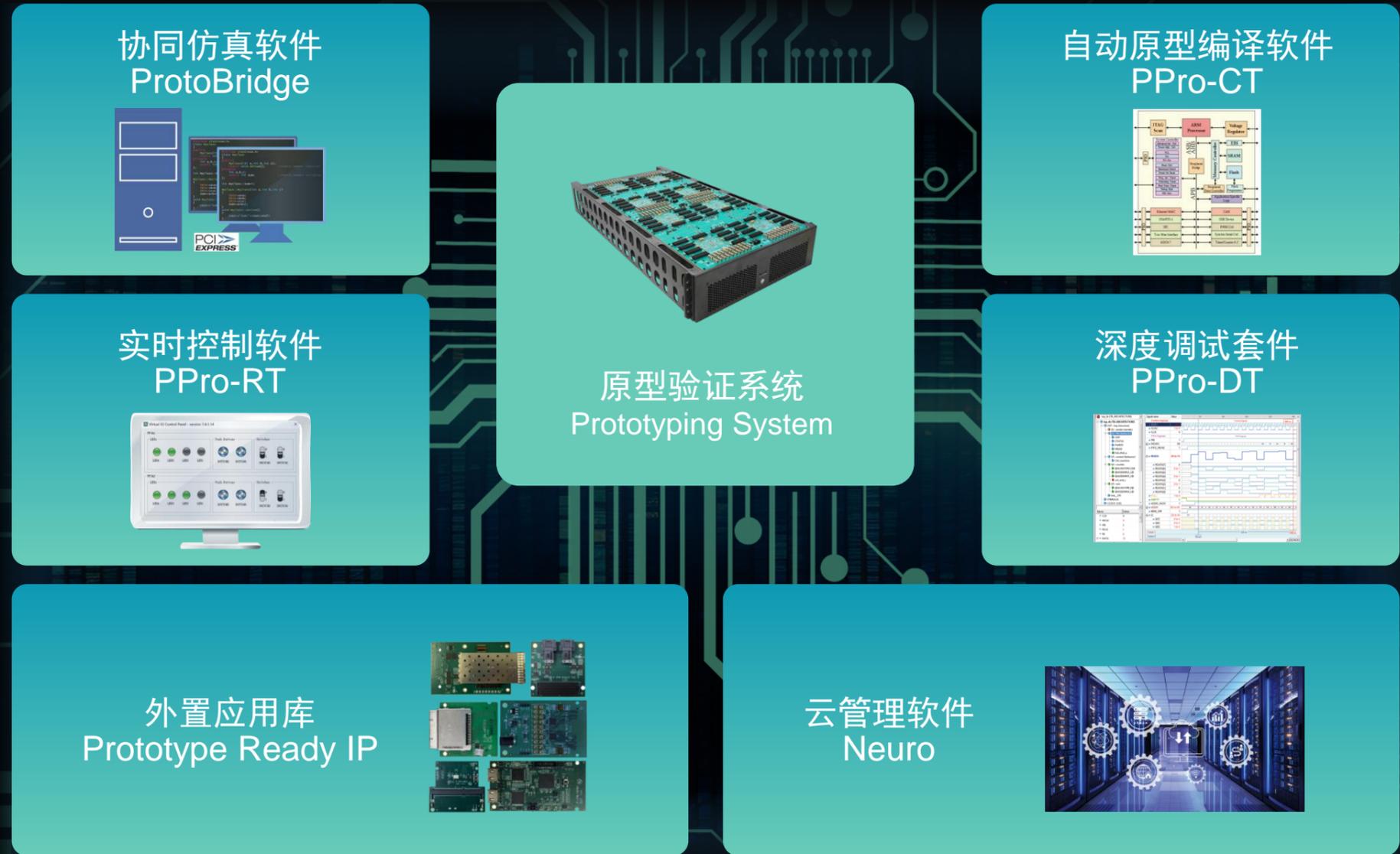
支持TBA、ICE、QEMU等

丰富的VIP库

支持PCIe、USB、DDR、ETH等30+



芯神瞳原型验证解决方案



RISC-V 应用方案



逻辑系统 LS

- 桌面级原型验证系统
- 一体化设计，使用便捷
- 14M~400M ASIC gates



逻辑矩阵 LX

- 企业级高密原型
- 可级联，适用于大规模部署
- 232M~392M ASIC gates

■ 系统验证/演示

- ChipLink: AXI Chip-to-Chip分割
- 多核分割案例
- 运行Linux图形操作系统/外设拓展
 - PCIe EP/RC, ethernet, USB 2/3
 - Flash, emmc, SRAM
 - MIPI camera/LCD, HDMI

■ 多种调试方法

- 网络/SD卡下载不同硬件配置
- UART/虚拟UART
- 基于网络的AXI Transactor
- PCIe高速下载OS/软件至DDR4
- Multi-Debug Module深度调试套件

■ 原型验证云

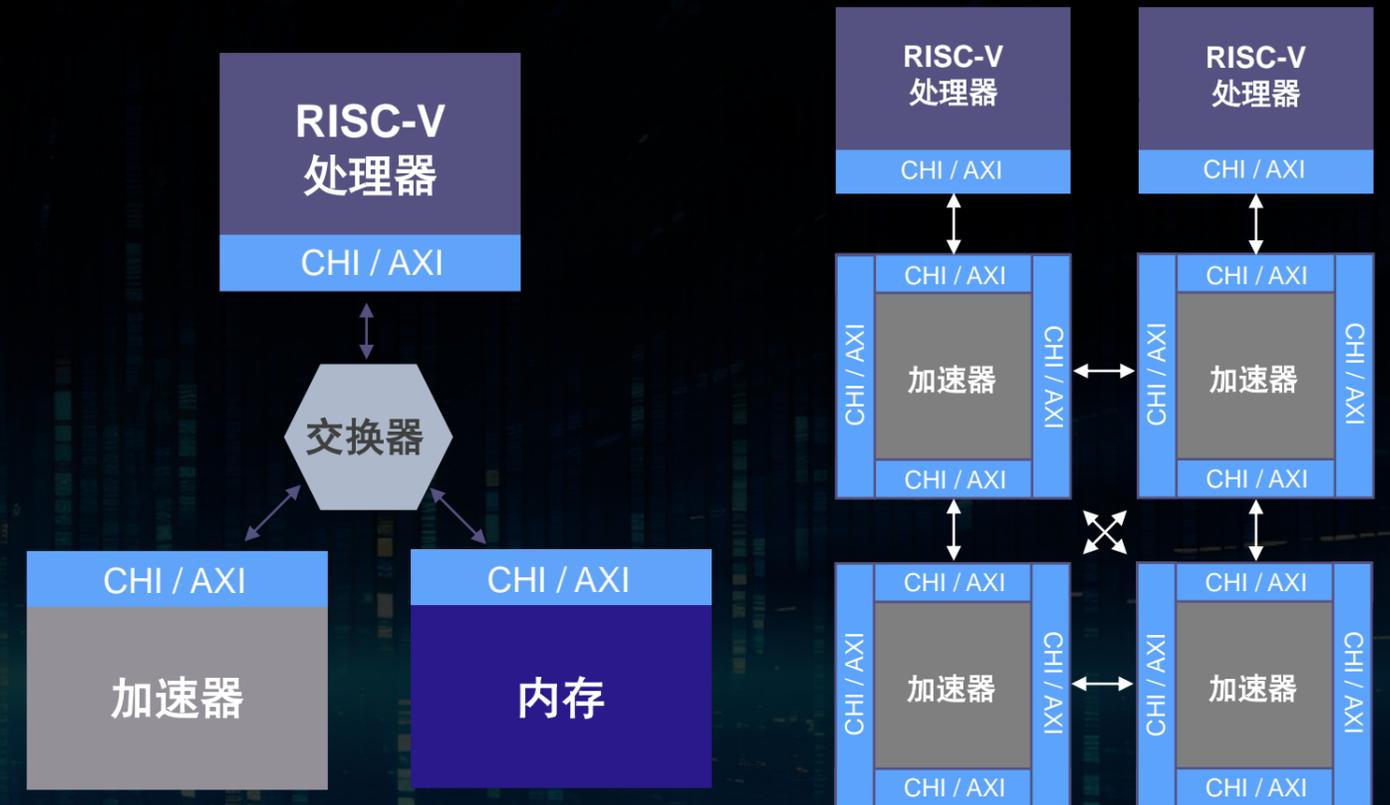
ChipLink - 基于AXI的分割方案

■ 多核AXI-based SoC验证方案

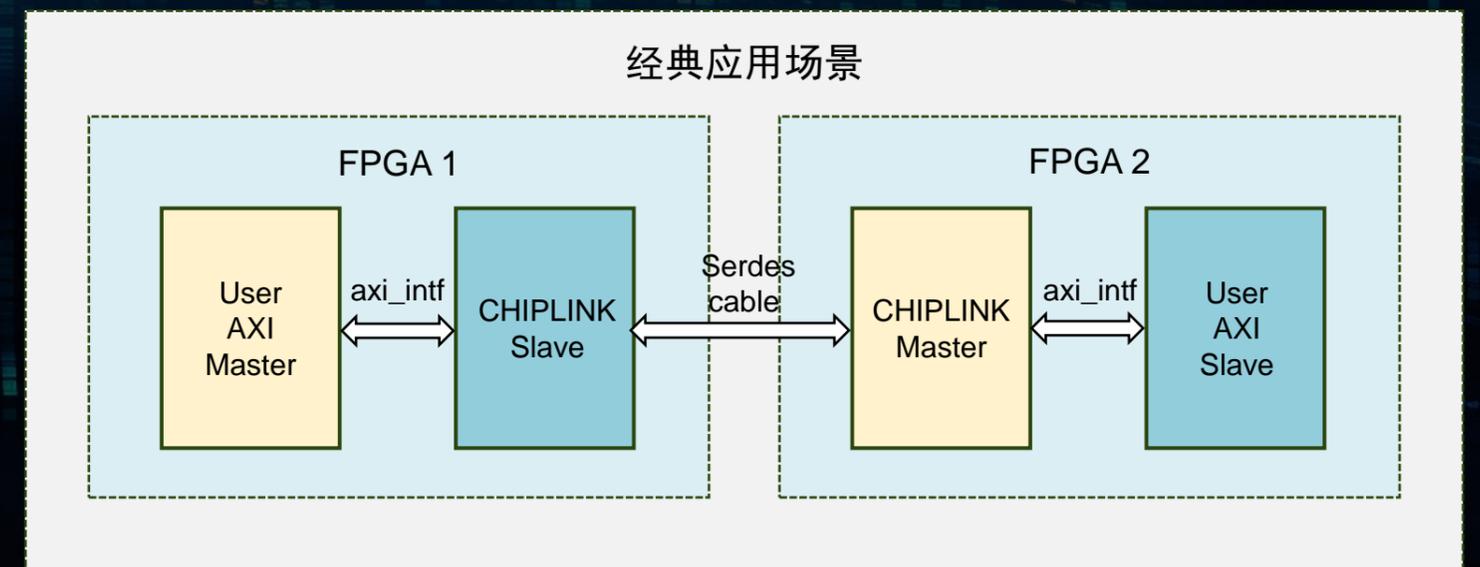
- 片间采用低延迟AXI Chip to Chip IP
- 实现基于AXI接口的走线互联通信

■ 高速&低延迟

- 支持高达1024位宽的AXI DATA_WIDTH
- 每个Bank支持最大4组AXI协议
- 支持多种Serdes线速率可配：
12.5G/16.25G/20.625G/25G
- 多核处理器/AXI周边，速度可达到100MHz



对比	Xilinx	S2C ChipLink AXI IP
位宽	128	1024
Bank支持AXI协议	1组	4组
Serdes线速率	较低	12.5G/16.25G/20.625G/25G



通用分割方案

■ S2C通用Serdes TDM IP – 高速&稳定

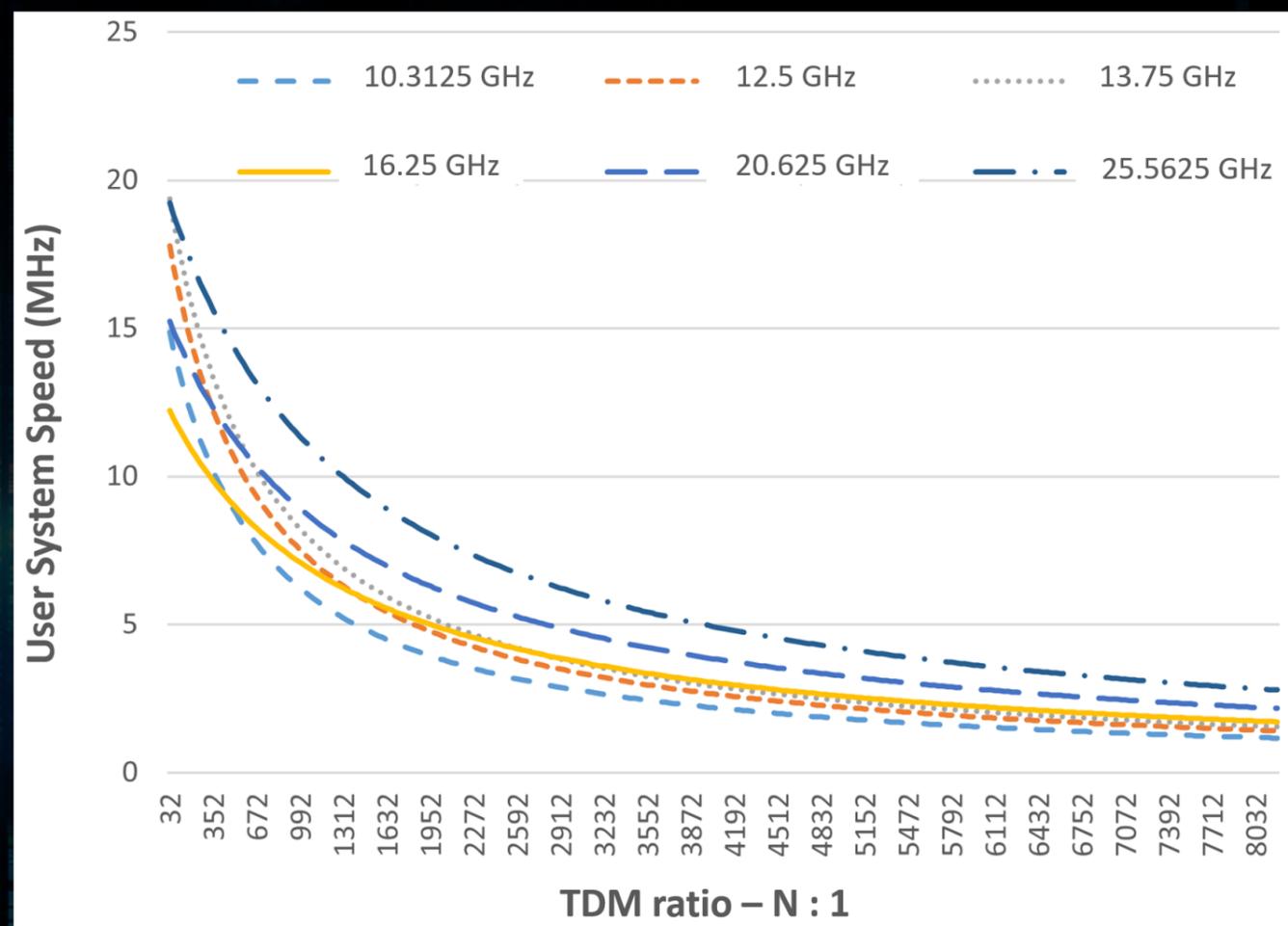
- 通用的TDM互联通信方案
- 适用场景不受IP逻辑规模，总线接口类型的限制

■ 超高速度

- 支持25Gbps Line Rate
- 可将大IP设计分割间提供高达20MHz的通用TDM分割方案

■ 超高时分复用比 - 便于大规模设计组网及调试

- 可以实现高达8K:1的时分复用比
- 支持光纤线缆进行长距离数据通信
- 使得超大规模SoC设计原型组网更为简单高效



高速、稳定

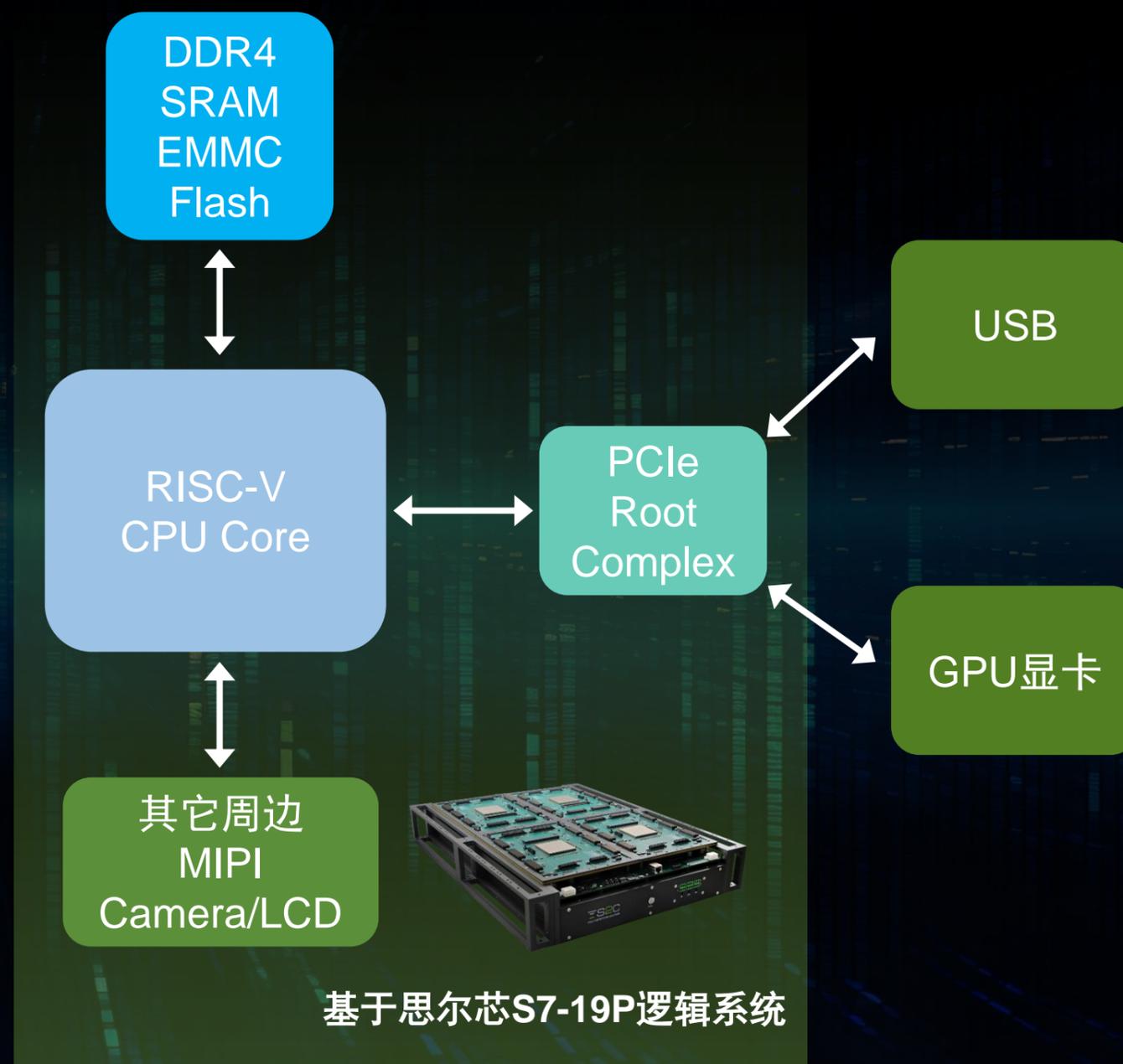
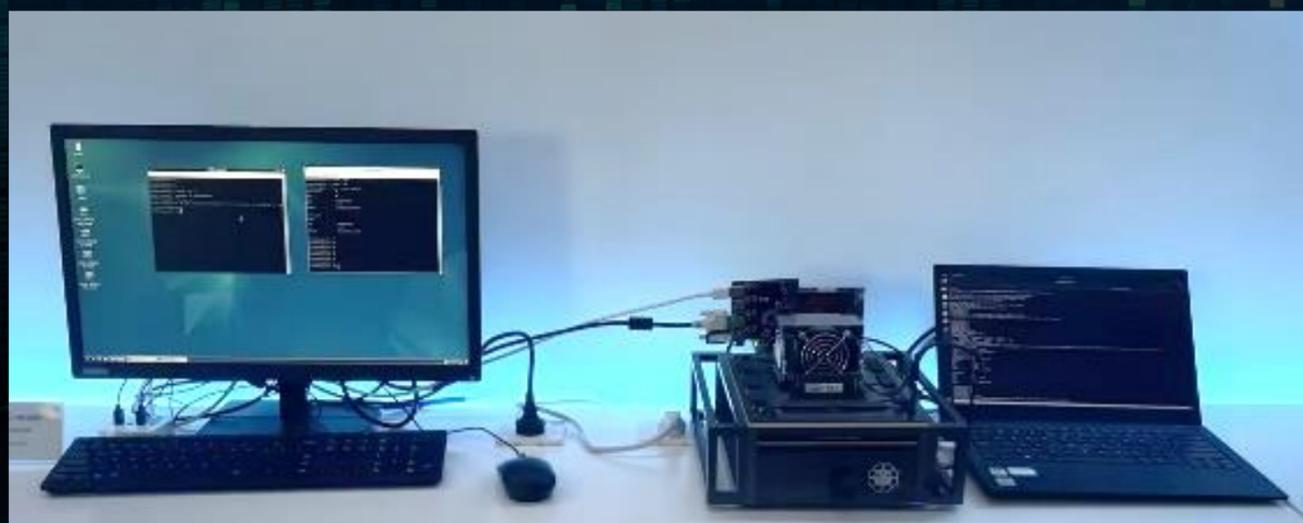
20MHz

8K:1

开芯院CPU图形系统案例

完整方案

- 通过高速PCIe和其他接口，扩展外设
- 轻松地在原型验证上实现CPU+GPU显卡的系统构架，运行Linux图形操作
- 自动设计分割软件

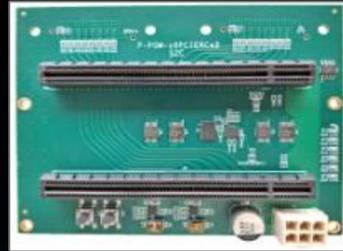


➤ 丰富外设子卡 - 多达90+种

PCIe EP



PCIe RC



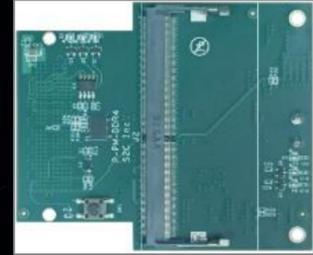
USB 2/3



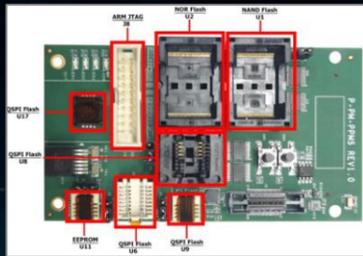
USB3 Data



DDR4



Flash



Mini-SAS



HDMI 2.0



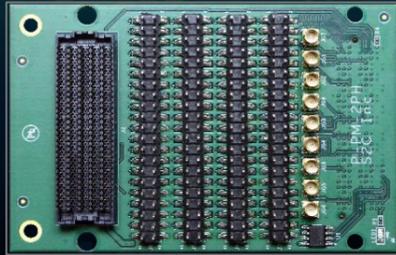
CAN



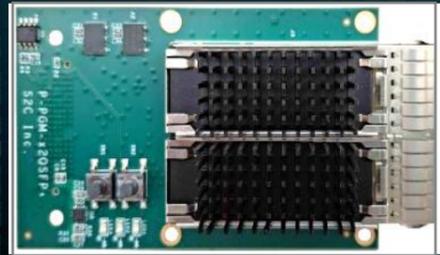
SGMII



Pin Headers



QSFP



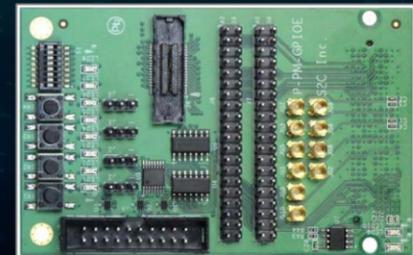
RGMII



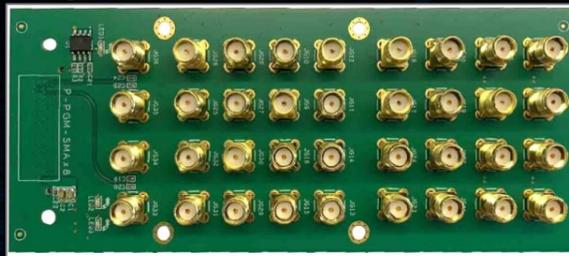
DP2.0



GPIO w/Arm JTAG



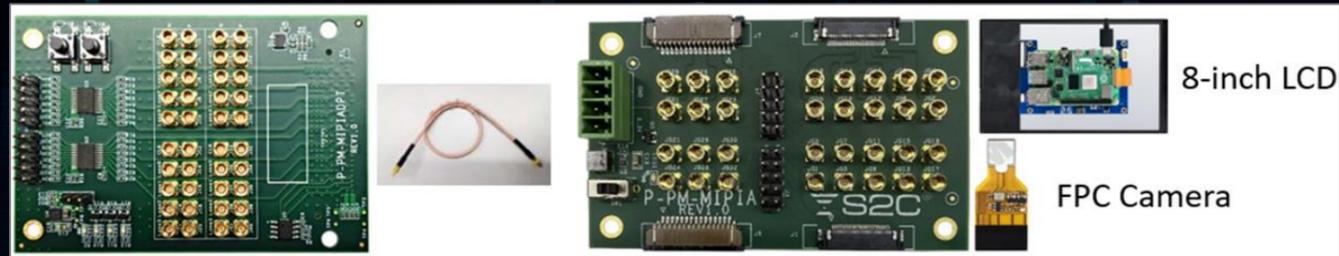
High Speed Serdes Header



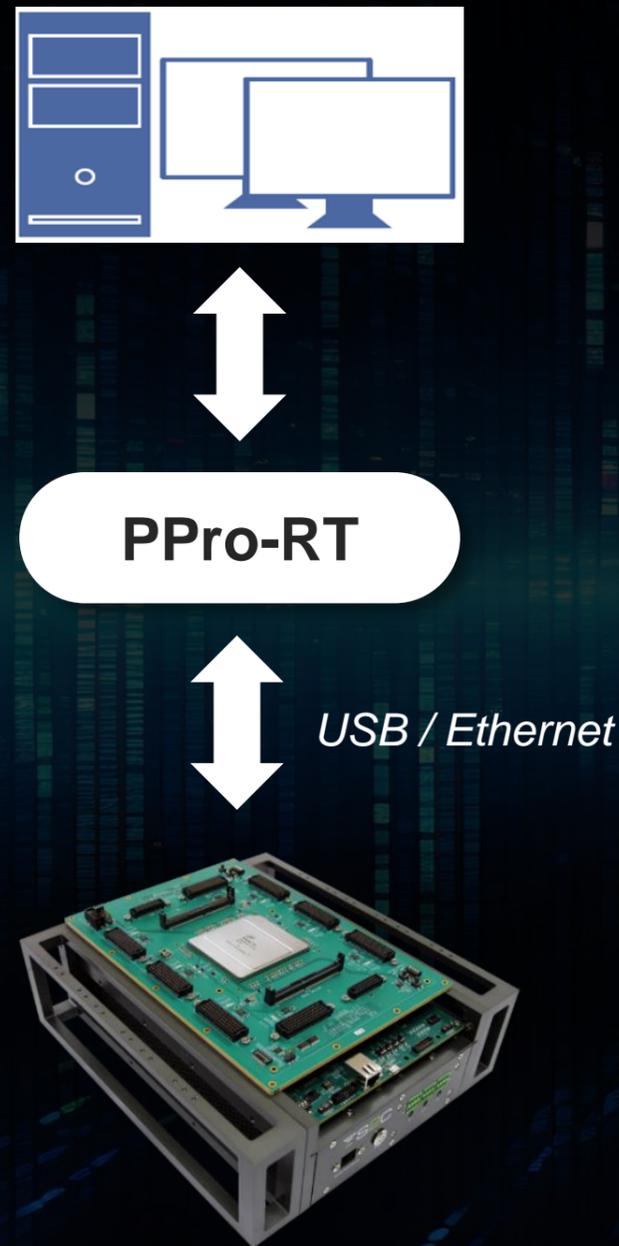
eMMC



MIPI D-PHY Kit



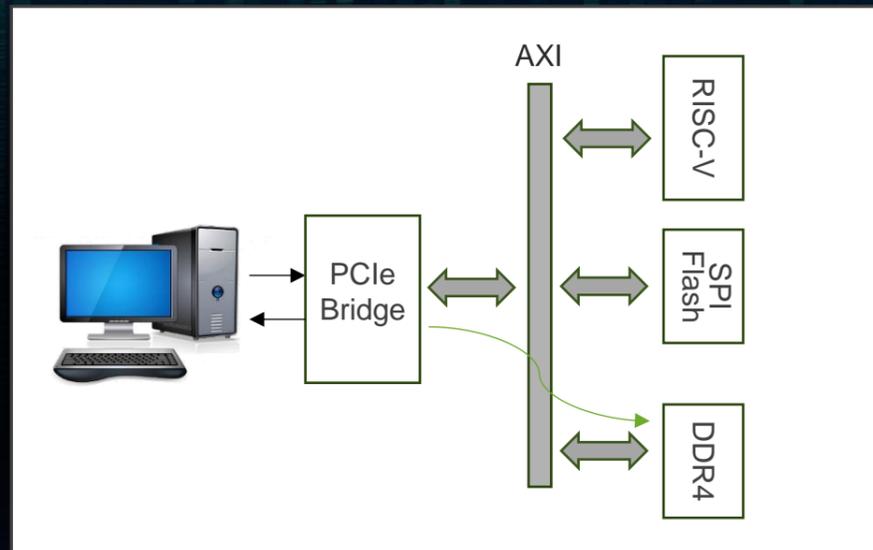
多种调试方法: PPro-RT



- 多配置方式
 - 支持通过USB、以太网、SD卡、传统 JTAG下载到FPGA内
 - SD卡可支持16个设计
- 实时硬件监控
 - 自动识别插入子卡类别
 - 轻松地监测I/O电压、电流和温度
- 远程系统控制
 - 基于网络的AXI连接器方便AXI上的读写和系统调试
 - 可远程更新P-PM-PPMS子卡上的SPI内存
 - 虚拟串口用于设计的固件调试
 - 虚拟按钮和开关可用于快速设置设计的输入条件
- 硬件自检测
 - 快速诊断I/O引脚、互连线、及全局时钟线等资源的状态

协同仿真软件-高带宽 AXI Transactor

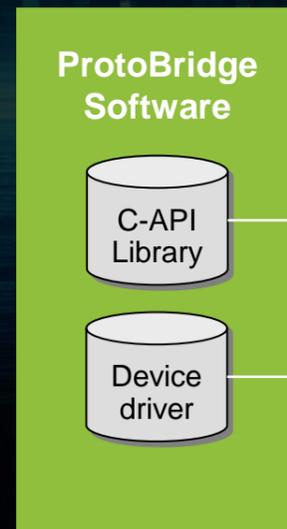
- 高带宽AXI连接器
- 高带宽通道，快速读写
 - 支持PC与原型系统之间的大量数据快速传输
 - 提供高达4000M bytes/s的带宽
- 灵活的设计建模功能
- 应用案例
 - 通过PC高速上传OS & Applications至DDR4内存带宽



Software Environment

myProgram.c

```
DeviceOpen = GetProcAddr( );  
WriteAddr32 (PCle_handle, AXI_addr, Dout);  
Din = ReadAddr32 (PCle_handle, AXI_addr);
```

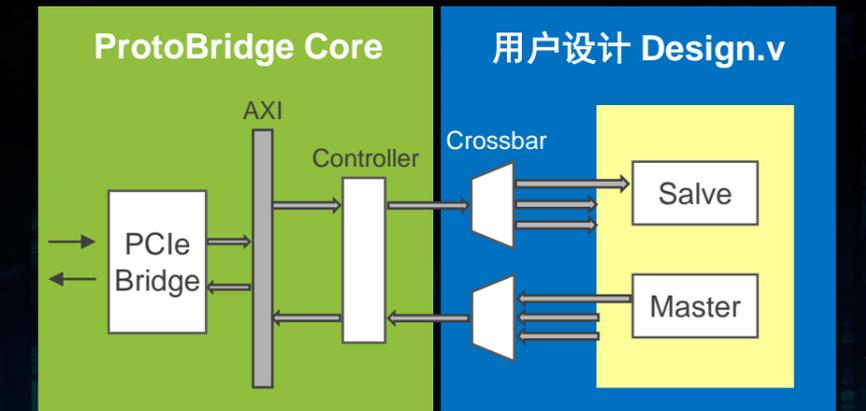


make

.exe



Hardware Prototype



Synthesize

FPGA P&R

Bit Stream



国内首家数字EDA供应商

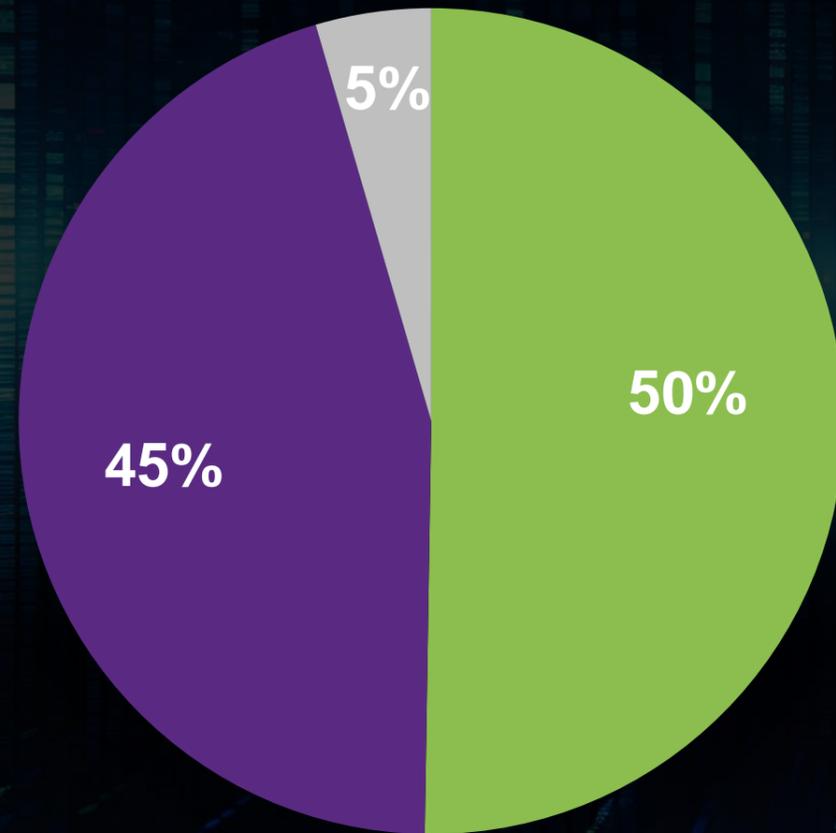
- 2004年在上海成立
- 服务全球600+客户
- 深圳、北京、杭州、西安、东京、首尔及圣何塞设有分支机构
- 承担多项国家及地方重大科研项目
- 国家级专精特新“小巨人”企业、国家工业软件优秀产品、上海市级企业技术中心



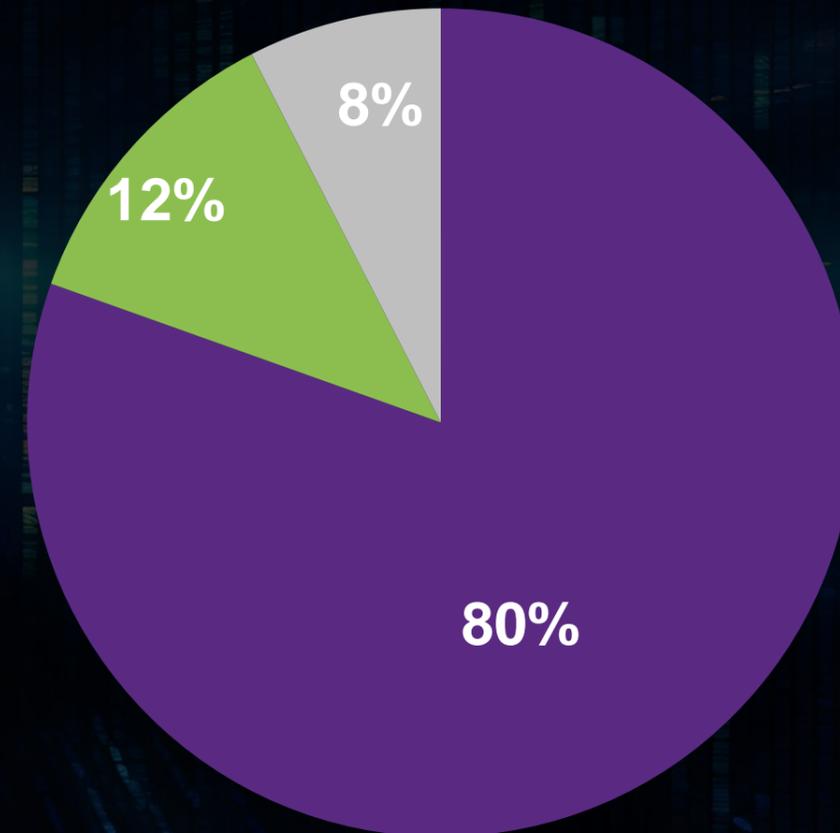
市场地位

世界前25大半导体企业中的**11**家，
中国前15大集成电路设计企业中的**10**家都是公司客户

中国境内原型验证销售额连续三年排名第一



世界原型验证销售额排名第二



■ 思尔芯 ■ 新思科技 ■ 其他

数据来源：CSIA、赛迪顾问、Gartner
思尔芯2022销售额

20年匠心打造数字EDA



精准**芯**策略



20年技术积累



服务全球客户
600+

成就每个芯梦想



谢谢观看